

Requested Patent: JP6209500A
Title: DIGITAL AUDIO SIGNAL PROCESSING UNIT ;
Abstracted Patent: JP6209500 ;
Publication Date: 1994-07-26 ;
Inventor(s): KAKU JUNYA ;
Applicant(s): SANYO ELECTRIC CO ;
Application Number: JP19930117145 19930519 ;
Priority Number(s): JP19930117145 19930519; JP19920308868 19921118 ;
IPC Classification: H04S1/00; H03H17/02; H03M1/06; H04S7/00 ;
Equivalents: JP3485597B2 ;

ABSTRACT:

PURPOSE: To suppress intermittent sound or noise by dividing a voice signal in frequency bands and driving speakers arranged at positions corresponding to sound image localizing positions so as to let the position of sound image localization for a listener be constant thereby eliminating the need for a speaker selector switch.

CONSTITUTION: A voice signal is given to an A/D converter through an LPF 1, and the converted signal is inputted to a signal processing section 3, in which the signal is divided into plural frequency bands and sound image localization position information and voice signal information data D are obtained through arithmetic operation processing and they are added at every sort of the same sound image localization position data and the result is inputted to a speaker drive section 4. The drive section 4 selects a correspondent D/A converter section by a selecting signal CSK obtained by decoding the information D based on a conversion tape to obtain a voice signal and drives a speaker corresponding to the sound image localized position. Thus, the sound localized position is unchanged and becomes constant independently of the position of the listener, no speaker selection switch is required and intermittent sound or noise due to the presence of the switch is reduced.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-209500

(43)公開日 平成 6 年(1994) 7 月26日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 S 1/00	K	8421-5H		
H 0 3 H 17/02	G	7037-5 J		
H 0 3 M 1/06		9065-5 J		
H 0 4 S 7/00	E	8421-5H		

審査請求 未請求 請求項の数 2 O L (全 17 頁)

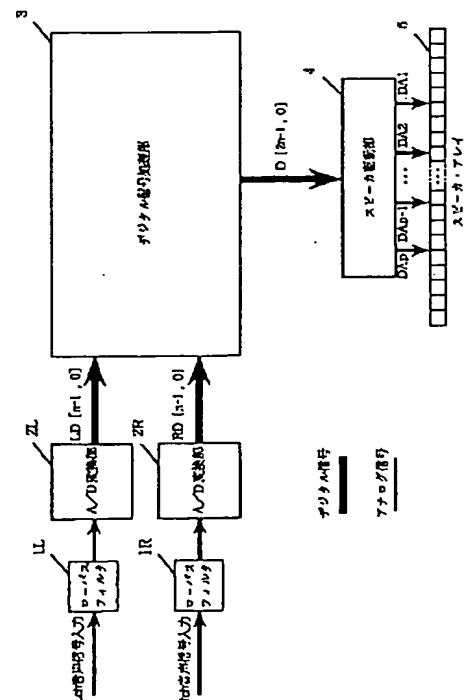
(21)出願番号	特願平5-117145	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22)出願日	平成 5 年(1993) 5 月19日	(72)発明者	郭 順也 大阪府守口市京阪本通 2 丁目18番地 三洋 電機株式会社内
(31)優先権主張番号	特願平4-308868	(74)代理人	弁理士 西野 卓爾
(32)優先日	平 4 (1992)11月18日		
(33)優先権主張国	日本 (J P)		

(54)【発明の名称】 デジタル音声信号処理装置

(57)【要約】 (修正有)

【目的】 従来における音切れやノイズを低減する。

【構成】 ステレオ音声信号が入力される音声信号処理装置であって、入力された左右の音声信号を夫々デジタル信号に変換するA/D変換部2L、2Rと、該A/D変換部からの各デジタル信号を複数の周波数帯域に分割する周波数帯域分割部6L、6Rと、前記分割された周波数帯域の左右のデジタル音声信号を所定の演算により合成する音声信号合成部10iと、前記分割された周波数帯域の左右のデジタル音声信号から所定の演算により音像定位位置を推定する音像定位位置推定部11iと、前記音声信号合成部並びに音像定位位置推定部からのデータを所定のフォーマットに変換するデータ変換部12iと、該データ変換部からの出力信号に基づいて前記分割された周波数帯域の音声信号の音像定位位置に対応した位置に配置されているスピーカ5を駆動するスピーカ駆動部4とを有する。



(2)

【特許請求の範囲】

【請求項1】 ステレオ音声信号が入力される音声信号処理装置であって、入力された左右の音声信号を夫々デジタル信号に変換するA/D変換部と、該A/D変換部からの各デジタル信号を複数の周波数帯域に分割する周波数帯域分割部と、前記分割された周波数帯域の左右のデジタル音声信号を所定の演算により合成する音声信号合成部と、前記分割された周波数帯域の左右のデジタル音声信号から所定の演算により音像定位位置を推定する音像定位位置推定部と、前記音声信号合成部並びに音像定位位置推定部からのデータを所定のフォーマットに変換するデータ変換部と、該データ変換部からの出力信号に基づいて前記分割された周波数帯域の音声信号の音像定位位置に対応した位置に配置されているスピーカを駆動するスピーカ駆動部とを有することを特徴とするデジタル音声信号処理装置。

【請求項2】 ステレオ音声信号が入力される音声信号処理装置であって、入力された左右の音声信号を夫々デジタル信号に変換するA/D変換部と、該A/D変換部からの各デジタル信号を複数の周波数帯域に分割しこの分割された周波数帯域の左右のデジタル音声信号を所定の演算により合成するとともに前記分割された周波数帯域の左右のデジタル音声信号から所定の演算により音像定位位置を推定するデジタル信号処理部と、該デジタル信号処理部からの出力信号に基づいて前記分割された周波数帯域の音声信号の音像定位位置に対応した位置に配置されているスピーカを駆動するスピーカ駆動部とよりなり、前記スピーカ駆動部は前記合成された音声信号をD/A変換するD/A変換部を有し、且つこのD/A変換部は入力されたデジタル音声信号を記憶する第1の記憶手段と、該第1記憶手段で記憶されたデジタル信号を第2記憶手段からの出力信号に順次加算する加算手段と、該加算手段の加算演算後の出力信号を記憶するとともにデジタル信号をアナログ信号に復元するD/A変換手段に対して前記記憶された加算演算後のデジタル信号を出力する第2記憶手段とを有することを特徴とするデジタル音声信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば映画館、劇場あるいはホームシアター等に用いられ、ステレオ音声信号に基づき推定された音像定位位置に対応するスピーカを駆動するデジタル音声信号処理装置に関する。

【0002】

【従来の技術】 一般に2つのスピーカによる音声信号のステレオ再生方式では、左右のスピーカを底辺とする2等辺三角形の頂点となるような位置、即ち左右のスピーカから等距離となるような位置でしか正常な音像定位を得ることができないとされている。そして特に2つのスピーカを底辺とする正三角形の頂点付近で聴取するのが

2

良いといわれている。即ち2つのスピーカによる音声信号のステレオ再生方式では、正常な音像定位を得ることができる聴取位置は限られた範囲に限定されることになる。

【0003】 例えば日本音響学会講演論文集第357～358頁、「1-5-14車室内における非対称音場の改善方法」（昭和63年3月）に開示されているように聴取者に対する前方の左右スピーカ取付位置が非対称である場合には左右スピーカ間の音の分布が聴取者に近いスピーカ方向に偏り、本来のステレオ再生効果が得られないという問題が生じるので、これを解決すべく左右スピーカから聴取位置までの距離を合わせるように見かけ上の音源を作り出す方法が提案されている。

【0004】 また本発明は特願平4-97830号の明細書及び図面において、上記左右スピーカ間の音の分布が聴取者に近いスピーカ方向に偏り、ステレオ再生効果が得られないという問題点を解決すべく、入力された音声信号を複数の周波数帯域に分割し、分割された周波数帯域の音声信号の音像定位位置に対応した位置に配置されているスピーカを駆動する手段を有する音声信号再生装置を先に提案した。

【0005】

【発明が解決しようとする課題】 ところで特願平4-97830号の音声信号再生装置では、音像定位位置に対応したスピーカを選択するためのスピーカ選択部において切り換えスイッチが動作する度に音切れやノイズが発生するという問題点があった。

【0006】 本発明は斯かる従来技術における音切れやノイズを低減することを目的とするものである。

【0007】

【課題を解決するための手段】 本発明の第1発明は、ステレオ音声信号が入力される音声信号処理装置であって、入力された左右の音声信号を夫々デジタル信号に変換するA/D変換部と、該A/D変換部からの各デジタル信号を複数の周波数帯域に分割する周波数帯域分割部と、前記分割された周波数帯域の左右のデジタル音声信号を所定の演算により合成する音声信号合成部と、前記分割された周波数帯域の左右のデジタル音声信号から所定の演算により音像定位位置を推定する音像定位位置推定部と、前記音声信号合成部並びに音像定位位置推定部からのデータを所定のフォーマットに変換するデータ変換部と、該データ変換部からの出力信号に基づいて前記分割された周波数帯域の音声信号の音像定位位置に対応した位置に配置されているスピーカを駆動するスピーカ駆動部とを有する。

【0008】 また本発明の第2発明は、ステレオ音声信号が入力される音声信号処理装置であって、入力された左右の音声信号を夫々デジタル信号に変換するA/D変換部と、該A/D変換部からの各デジタル信号を複数の周波数帯域に分割しこの分割された周波数帯域の左右の

(3)

3

デジタル音声信号を所定の演算により合成するとともに前記分割された周波数帯域の左右のデジタル音声信号から所定の演算により音像定位位置を推定するデジタル信号処理部と、該デジタル信号処理部からの出力信号に基づいて前記分割された周波数帯域の音声信号の音像定位位置に対応した位置に配置されているスピーカを駆動するスピーカ駆動部とよりなり、前記スピーカ駆動部は前記合成された音声信号をD/A変換するD/A変換部を有し、且つこのD/A変換部は入力されたデジタル音声信号を記憶する第1の記憶手段と、該第1記憶手段で記憶されたデジタル信号を第2記憶手段からの出力信号に順次加算する加算手段と、該加算手段の加算演算後の出力信号を記憶するとともにデジタル信号をアナログ信号に復元するD/A変換手段に対して前記記憶された加算演算後のデジタル信号を出力する第2記憶手段とを有する。

【0009】

【作用】 音声周波数帯域に分割し、各周波数帯域の音像定位位置に対応する位置に配置されたスピーカを駆動し、正常な音像定位位置をスピーカ上に持つてくることにより、どの位置にいる聴取者に対しても音像定位位置は一定となる。

【0010】 またスピーカ選択スイッチが不要であるため音切れやノイズを抑制することが可能となる。

【0011】

【実施例】 以下本発明のデジタル音声処理装置の2つの実施例について図面に基づき詳細に説明する。

【0012】 【第1実施例】 図1は第1実施例のデジタル音声信号処理装置の概要を説明する回路ブロック図であり、1L、1Rは左右のアナログ信号即ちLch音声信号とRch音声信号とを夫々入力するローパスフィルタ、2L、2Rは該ローパスフィルタ1L、1Rからのアナログ信号を夫々入力しデジタル信号LD[n-1, 0]、RD[n-1, 0]に変換するA/D変換部、3はこれらA/D変換部2L、2Rの出力LD[n-1, 0]、RD[n-1, 0]を用いて演算しスピーカ駆動用の信号D[2n-1, 0]を出力するデジタル信号処理部、4はスピーカ駆動部、5は該スピーカ駆動部4の出力DA1~DApにより分離された周波数帯域に対応したスピーカが駆動されるスピーカアレイである。

【0013】 なお、以下図中細い信号線はアナログ信号を、太い信号線はデジタル信号を表すものとする。

【0014】 次に図2は前記デジタル信号処理部3の中身を示す回路ブロック図であり、6L、6Rは前記A/D変換部2L、2Rからのデジタル信号LD[n-1, 0]、RD[n-1, 0]を入力し周波数帯域に分割する周波数帯域分割部、7は前記周波数帯域分割部6L、6Rから出力される各周波数帯域毎の信号LDi[n-1, 0]、RDi[n-1, 0] (1 ≤ i ≤ m)を入力し所定の演算を行うデータ演算処理部、8はこのデータ

4

演算処理部7の出力DDi[2n-1, 0] (1 ≤ i ≤ m)を所定の方法で加算し出力D[2n-1, 0]を得るデータ加算部である。

【0015】 更に図3は前記周波数帯域分割部6L、6Rの中身、図4は前記データ演算処理部7の中身、図5は前記スピーカ駆動部4の中身を夫々示すブロック図である。

【0016】 前記図3において各周波数帯域分割部6L、6Rは分割しようとする周波数帯域の数に一致したバンドパスフィルタ9L(R)i (1 ≤ i ≤ m)から構成される。

【0017】 前記図4においてデータ演算処理部7は前記周波数帯域分割部6L、6Rからの各出力LDi[n-1, 0]、RDi[n-1, 0]を用いて加算を行う音声信号合成部10iと、減算を行う音像定位位置推定部11iと、これら音声信号合成部10iと音像定位位置推定部11iの出力ADi[n-1, 0]、SDi

[n-1, 0] (1 ≤ i ≤ m)をデータ変換し音像定位位置情報及び音声信号情報を表現するデータ変換し音像定位位置情報及び音声信号情報を表現するデータDDi[2n-1, 0] (1 ≤ i ≤ m)を出力するデータ変換部12iから構成される。

【0018】 前記図5においてスピーカ駆動部4は前記データ加算部8によってデータ処理部7の各出力DDi[2n-1, 0]を加算した結果得られたD[2n-1, 0]のうちの上位nビットの出力をデコードしてセレクト信号CSk (1 ≤ k ≤ p)を出力するデコード部13と、前記セレクト信号CSkによって選択され前記データ加算部8からの下位nビットのデジタルデータD[n-1, 0]を入力されるD/A変換部14k (1 ≤ k ≤ p)と、このD/A変換部14kの出力を通すローパスフィルタ15k (1 ≤ k ≤ p)と、アンプ16k (1 ≤ k ≤ p)とよりなり、該アンプ16kからスピーカアレイ5に対して駆動信号DAk (1 ≤ k ≤ p)が出力される。

【0019】 図6は前記スピーカアレイ5を構成する一つの素スピーカ17を示す概観斜視図であり、この素スピーカは角型平面スピーカであり、その振動板18はスクリーンの機能を持つものである。そしてこの素スピーカ17を図7に示すように横一列に所定数(ここではp個)並べてアレイ5を構成している。この時の横一列の各素スピーカ17の配線は図7に示すように各スピーカ17の+端子k (1 ≤ k ≤ p)が夫々スピーカ駆動部4と接続され、一端子はすべて一本の線に接続されてスピーカ駆動部4と接続されている。

【0020】 次に斯かる構成を有するデジタル音声信号処理装置の動作について説明する。まずA/D変換部2L、2Rに夫々ローパスフィルタ1L、1Rを通してLch音声信号、Rch音声信号が入力される。入力された音声信号は夫々デジタル信号に変換され、図8に示す

(4)

5

フォーマット19でLD[n-1, 0]、RD[n-1, 0]として出力される。

【0021】続いてデジタル信号処理部3に夫々LD[n-1, 0]、RD[n-1, 0]が入力される。入力されたデジタル信号は夫々周波数帯域分割部6L、6Rに入力される。

【0022】周波数帯域分割部6L、6Rでは入力信号をバンドパスフィルタ9L(R)iで所定のバンド数mに分割し、L(R)Di[n-1, 0]に対し、音声信号合成部10iにおいてはLDi[n-1, 0]+RD
10 i[n-1, 0]という演算を、音像定位位置推定部11iにおいてはLDi[n-1, 0]-RD
1 i[n-1, 0]という演算を行い、夫々音声信号情報を表現するデータADi[n-1, 0]、音像定位位置情報を表現するデータSDi[n-1, 0]として出力する。

【0023】斯かるデータは、続くデータ変換部12iにおいて図9に示すフォーマット20の上位nビットにSDi[n-1, 0]を、下位nビットにADi[n-1, 0]といった形に変換され、音像定位位置情報及び
20 音声信号情報を表現するデータDDi[2n-1, 0]として出力される。このデータは、更にデータ加算部8に入力され、入力された全データに対して上位nビットの値が等しいもの、即ち同一の音像定位位置情報を持つデータについて、下位nビットの値が加算され、D[2n-1, 0]として出力される。

【0024】次にスピーカ駆動部4にD[2n-1, 0]が入力される。D[2n-1, 0]の上位nビットであるD[2n-1, n]はデコード部13へ、下位nビットであるD[n-1, 0]はD/A変換部14kに入力される。デコード部13では予め用意された変換
30 テーブルに基づき入力されたD[2n-1, n]の値をk(1≤k≤p)に変換し、kに対応したセレクト信号CSkを出力する。従って変換テーブルを変更することで任意のパターンでセレクト信号CSkを出力することが可能である。

【0025】上記セレクト信号CSkによりA/D変換部14kが選択され、D[n-1, 0]がアナログ信号に変換され、ローパスフィルタ15k、アンプ16kを経て、スピーカ駆動信号DAkとして出力される。この
40 スピーカ駆動信号DAkによりスピーカアレイ5を駆動する。

【0026】以上のようにしてローパスフィルタ1L、1Rを通してA/D変換部2L、2Rでデジタル信号に変換されてデジタル信号処理部3に入力されたデジタル信号L(R)D[n-1, 0]は、周波数帯域分割部6L、6Rにより複数の帯域に分割され、データ演算処理部7において夫々の帯域のデジタル信号LDi[n-1, 0]、RD
50 i[n-1, 0]を演算処理することで音像定位位置情報及び音声信号情報を表現するデータDDi[2n-1, 0]として出力され、データ加算部8

6

において同一な音像定位位置情報を持ったデータ毎に加算され、D[2n-1, 0]として出力され、スピーカ駆動部4に入力される。

【0027】そしてスピーカ駆動部4では、デコード部13で音像定位位置情報D[2n-1, n]を変換テーブルに基づきデコードすることでセレクト信号CSkを出力し、セレクト信号CSkで選択されたD/A変換部14kにデジタル信号D[n-1, 0]が入力され、アナログ信号に変換後、ローパスフィルタ15kを通して
アンプ16kで増幅され、音像定位位置に対応する素スピーカ17を駆動し、その素スピーカ17から音声が再生される。

【0028】従って、音像は常に音像定位位置に対応するスピーカ上に定位しているため、聴取者の聴取位置が変化しても音像定位位置は変化しない。また上記構成としたためスピーカ選択スイッチが不要となり、従来問題であった音切れやノイズを低減することができる。

【0029】なお本第1実施例では平面角型スピーカとしたが、他の方式のスピーカとし、聴取者を取り囲むように配置しても良い。

【0030】【第2実施例】次に本発明デジタル音声処理装置の第2実施例について図面に基づき詳細に説明する。但し第1実施例と同一構成要素については同一符号を付し、詳細な説明は割愛する。本第2実施例は、第1実施例に使用した汎用のD/A変換部14iを改良し、
該第1実施例においてデジタル信号処理部3内のデータ加算部8及びデータ演算処理部7内のデータ変換部12iを不要としたことを特徴とし、回路構成をより簡潔にしたものである。

【0031】まず改良されたD/A変換部について図10の回路ブロック図及び図11の動作タイミングチャートに基づき詳細に説明する。

【0032】図1の回路ブロック図において、21はINPUT REGISTER、22はADDER、23はOUTPUT REGISTER、24はDAC REGISTER、25はDAC (Desital Analog Converter)、26は第1DELAY、27は第2DELAY、28はAND回路、29はバッファアンプ、A~Dは内部データバスである。

【0033】次に図1の各構成要素についての動作を図2のタイミングチャートを参照しながら説明する。但し図中RESET等の信号の上に付けいているバーは省略する。まずRESET信号が入力されると、このRESET信号の立ち上がり30でINPUT REGISTER 21、OUTPUT REGISTER 23及びDAC REGISTER 24が0にクリアされ、内部データバスA[n-1, 0]、B[n-1, 0]、D[n-1, 0]へφ(NULL)が出力される。但し、φはn bitのデータがすべて0である信号でを表している。
50

(5)

7

【0034】外部からデータを入力する時には外部データバスDATA[n-1, 0]のデータ α_0 が確定した後に、チップセレクト信号CSをHIGHにセットする。このチップセレクト信号CSの立ち上がり31でINPUT REGISTER 21に外部データバスDATA[n-1, 0]のデータ α_0 が取り込まれ、内部データバスA[n-1, 0]に α_0 が出力される。

【0035】その後前記チップセレクト信号CSを第1 DELAY 26により遅延させて演算開始信号OPSとする。この時の遅延時間は、先のINPUT REGISTER 21に外部データバスDATA[n-1, 0]のデータ α_0 が取り込まれ、内部データバスA[n-1, 0]上にデータ α_0 が確定するのに必要な時間とする。

【0036】前記演算開始信号OPSの立ち上がり32により内部データバスA[n-1, 0]のデータ α_0 と内部データバスB[n-1, 0]のデータ ϕ がADDER 22に取り込まれる。ADDER 22では $\beta = \phi + \alpha_0$ という演算が行われ、演算終了信号OPEが出力されると同時に、内部データバスC[n-1, 0]に β_0 が出力される。そして演算終了信号OPEの立ち上がり33によりOUTPUT REGISTER 23に内部データバスC[n-1, 0]上のデータ β_0 が取り込まれ、内部データバスB[n-1, 0]に β_0 が出力される。

【0037】これと同様にk番目のデータ α_k が入力された場合の動作は次のとおりである。まずチップセレクト信号CSをLOWにし、外部データバスDATA[n-1, 0]にデータを入力する。そして外部データバスDATA[n-1, 0]のデータ α_k が確定した後に、チップセレクト信号CSをHIGHにする。

【0038】このチップセレクト信号CSの立ち上がり34でINPUT REGISTER 21に外部データバスDATA[n-1, 0]のデータ α_k が取り込まれ、内部データバスA[n-1, 0]に α_k が出力される。

【0039】次にチップセレクト信号CSを第1 DELAY 26により遅延させて演算開始信号OPSとする。この時の遅延時間は、先のINPUT REGISTER 21に外部データバスDATA[n-1, 0]のデータ α_k が取り込まれ、内部データバスA[n-1, 0]上にデータバスA[n-1, 0]のデータ α_k が確定するのに必要な時間とする。

【0040】演算開始信号OPSの立ち上がり35により内部データバスA[n-1, 0]のデータ α_k と内部データバスB[n-1, 0]のデータ β_{k-1} がADDER 22に取り込まれる。そして前記ADDER 22では $\beta_k = \beta_{k-1} + \alpha_k$ という演算が行われ、演算終了信号OPEが出力されると同時に内部データバスC[n-1, 0]に β_k が取り込まれ、内部データバスB[n-1, 0]にデータ β_k が出力される。

【0041】このようにして一連のデータ $\alpha_0 \sim \alpha_k$ が

8

処理された後にD/A変換開始信号LDACを入力すると、D/A変換開始信号LDACの立ち上がり37で内部データバスB[n-1, 0]のデータ β_k がDAC REGISTER 34に取り込まれ、内部データバスD[n-1, 0]に β_k が出力される。

【0042】DAC 25は送られてきたデータ β_k をアナログ信号に変換する。このアナログ信号はバッファアンプ29を通してV_{out}として外部に出力される。またD/A変換開始信号LDACは第2 DELAY 27で遅延され、D/A変換終了信号CVEとなり、さらにAND回路28でD/A変換周力信号CVEとRESET信号の論理積をとることでOUTPUT REGISTER 23をクリアするための制御信号CLEARとなる。そしてOUTPUT REGISTER 23は制御信号の立ち上がり39でクリアされ、内部データバスB[n-1, 0]へが出力される。

【0043】斯かるD/A変換部を前記第1実施例のデジタル音声信号処理装置に適用すると、前記図2に示すデジタル信号処理部3においてデータ加算部8が不要となり、図12に示されるような構成及び各データ信号の入出力状態となる。

【0044】また前記図4に示されるデータ演算処理部7において、データ変換部12iが不要となり、図13に示されるような構成及び各データ信号の入出力状態となる。

【0045】更に図5に示されるスピーカ駆動部4は図14に示されるように入力データがアドレスバスSDi[n-1, 0]とデータバスADi[n-1, 0]とに分離された形となる。したがって図1に示されるデジタル音声信号処理装置の構成図は図15に示されるように入出力データの値が変わることになる斯かる第2実施例の構成により、デジタル信号処理部3での処理量を軽減し、第1実施例の構成よりも処理時間を短くすることができる。

【0046】

【発明の効果】以上の説明のように本発明によれば、従来問題であった音切れやノイズを低減することができ、聴取者の位置にかかわらず、音像定位位置が変化しないので聴取者の聴取位置の自由度が高く、聴取者がどのような位置にいても十分な音響効果が期待できる。

【0047】またD/A変換部を本発明のように改良することによりデジタル信号処理量が軽減され、装置としての処理能力が向上する効果が期待できるものとなる。

【図面の簡単な説明】

【図1】デジタル音声信号処理装置の第1実施例の構成を示す回路ブロック図である。

【図2】図1のデジタル信号処理部の詳細を示す回路ブロック図である。

【図3】図2の周波数帯域分割部の詳細を示す回路ブロック図である。

(6)

9

【図4】図2のデータ演算処理部の詳細を示す回路ブロック図である。

【図5】図1のスピーカ駆動部の詳細を示す回路ブロック図である。

【図6】図1のスピーカアレイを構成する素スピーカの概観斜視図である。

【図7】図1のスピーカアレイの結線状態を示す概観斜視図である。

【図8】 n ビットのデジタル信号のフォーマットを示す概念図である。

【図9】 $2n$ ビットのデジタル信号のフォーマットを示す概念図である。

【図10】デジタル音声信号処理装置の第2実施例で用いられるD/A変換部の構成を示す回路ブロック図である。

【図11】図10のD/A変換部の各構成におけるデータ信号入出力のタイミングチャートである。

【図12】図2に相当する第2実施例のデジタル信号処理部の回路ブロック図である。

【図13】図4に相当する第2実施例のデータ演算処理部の回路ブロック図である。

【図14】図5に相当する第2実施例のスピーカ駆動部の回路ブロック図である。

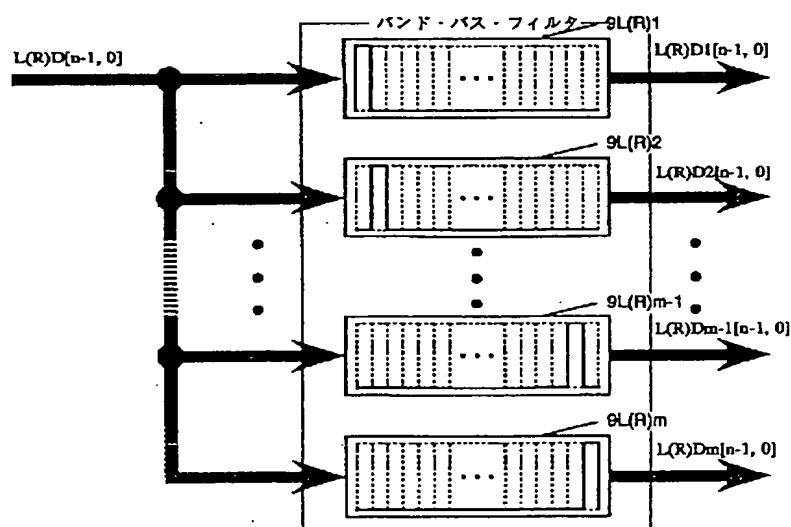
10

【図15】図1に相当する第2実施例のデジタル信号処理部の回路ブロック図である。

【符号の説明】

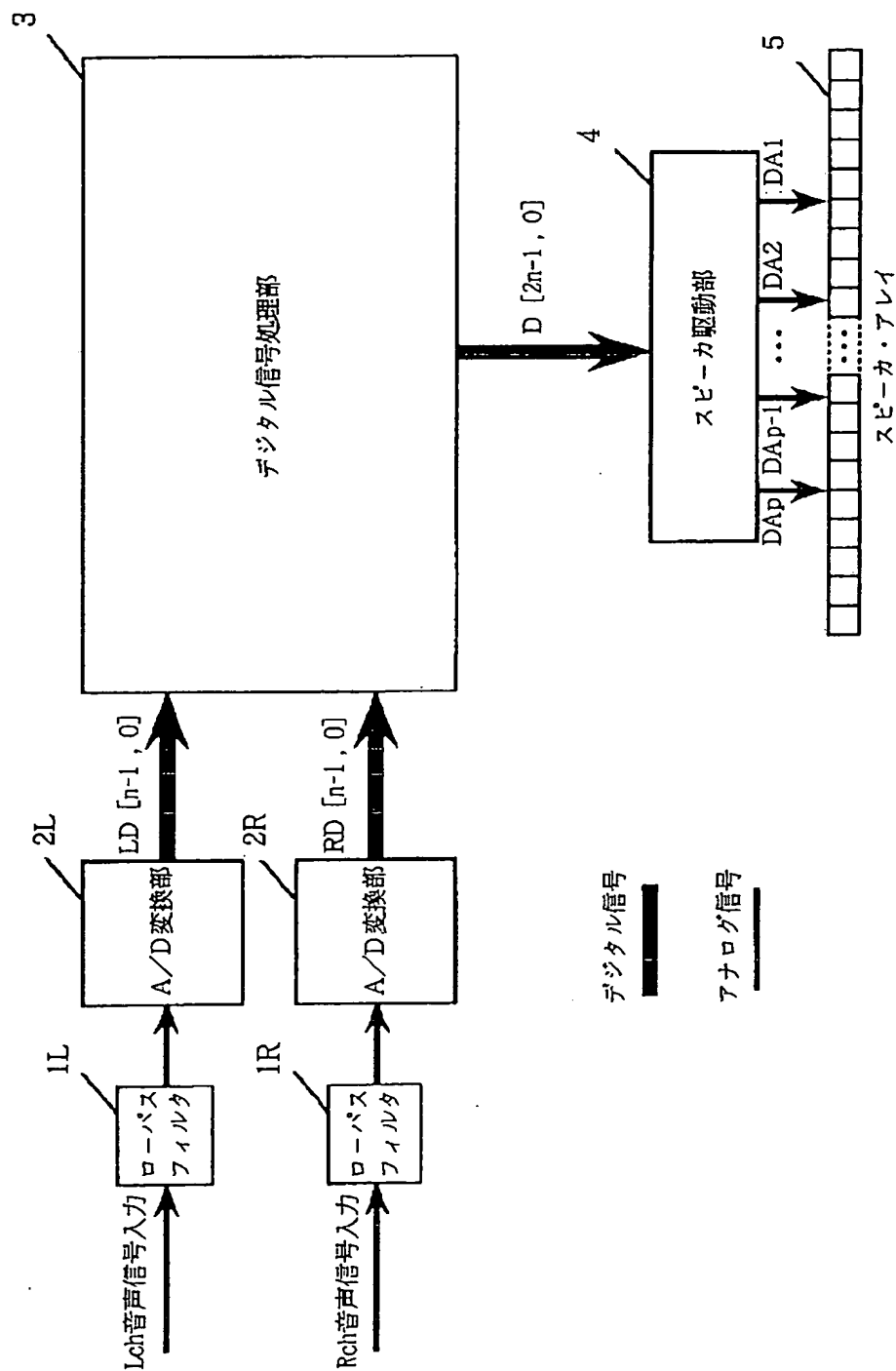
- 1 L、1 R ローパスフィルタ
- 2 L、2 R A/D変換部
- 3 デジタル信号処理部
- 4 スピーカ駆動部
- 5 スピーカアレイ
- 6 L、6 R 周波数帯域分割部
- 7 データ処理部
- 8 データ加算部
- 10 i 音声信号合成部
- 11 i 音像定位位置推定部
- 12 i データ変換部
- 21 INPUT REGISTER
- 22 ADDER
- 23 OUTPUT REGISTER
- 24 DAC REGISTER
- 25 DAC
- 26、27 DELAY 1、2
- 28 AND回路
- 29 バッファアンプ

【図3】



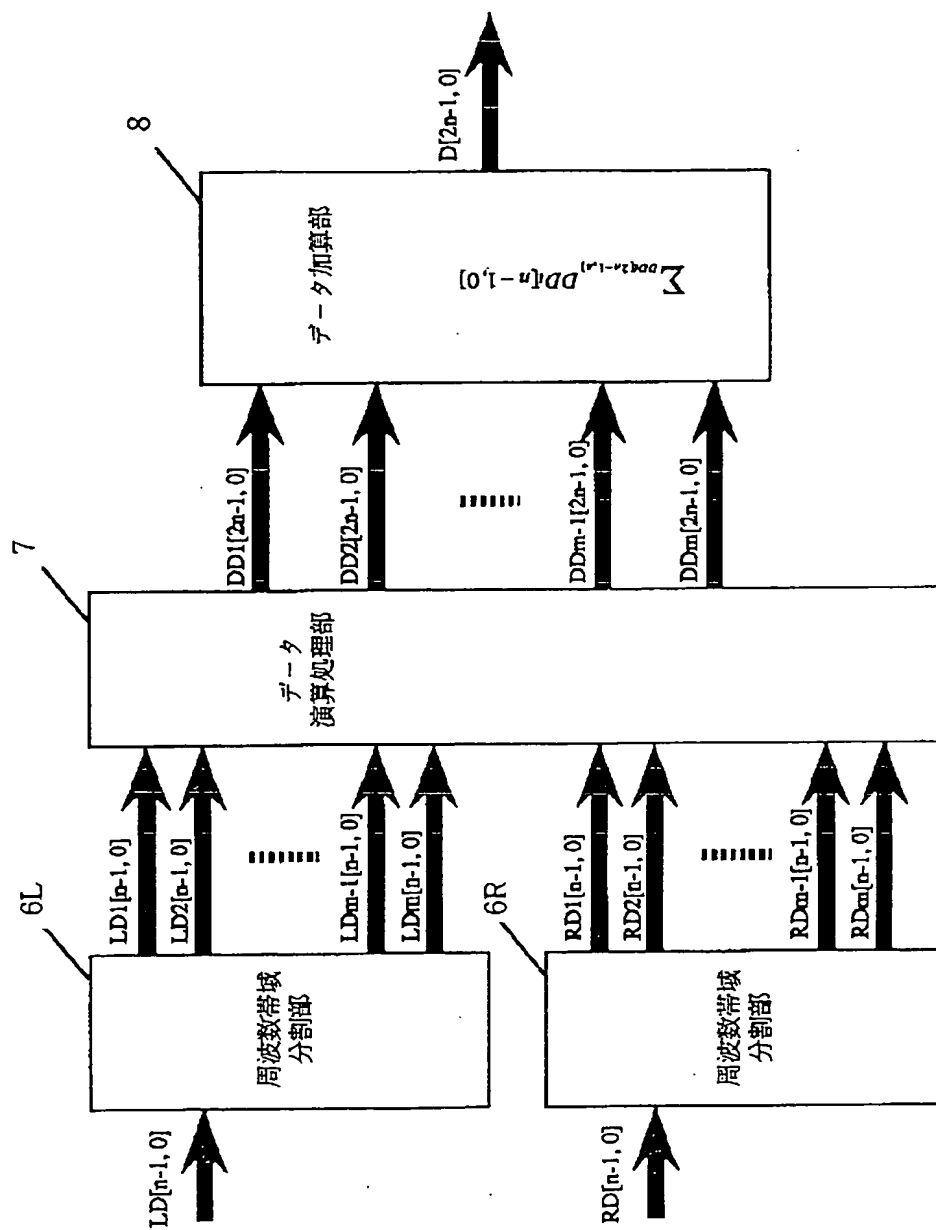
(7)

【図1】



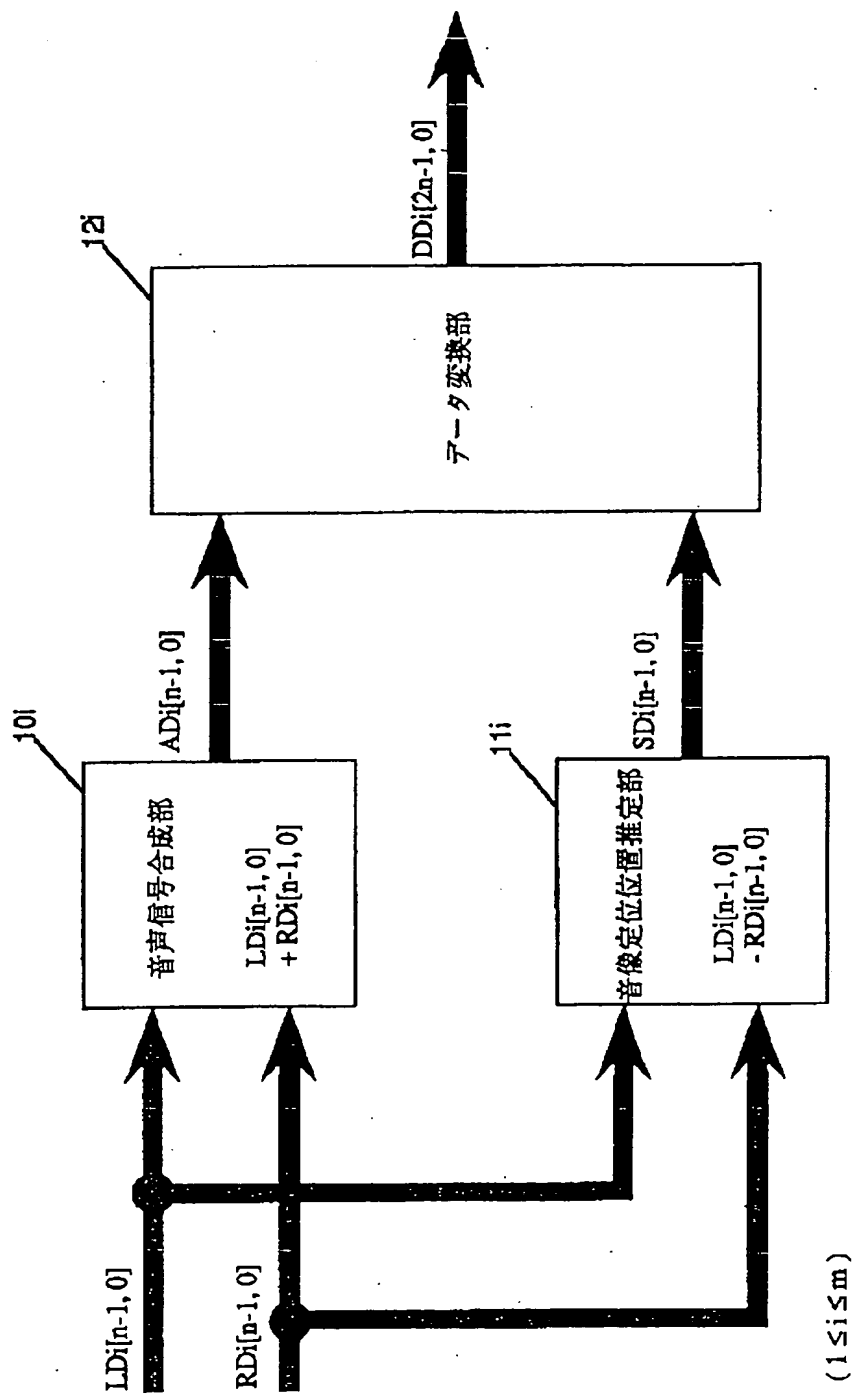
(8)

【図2】



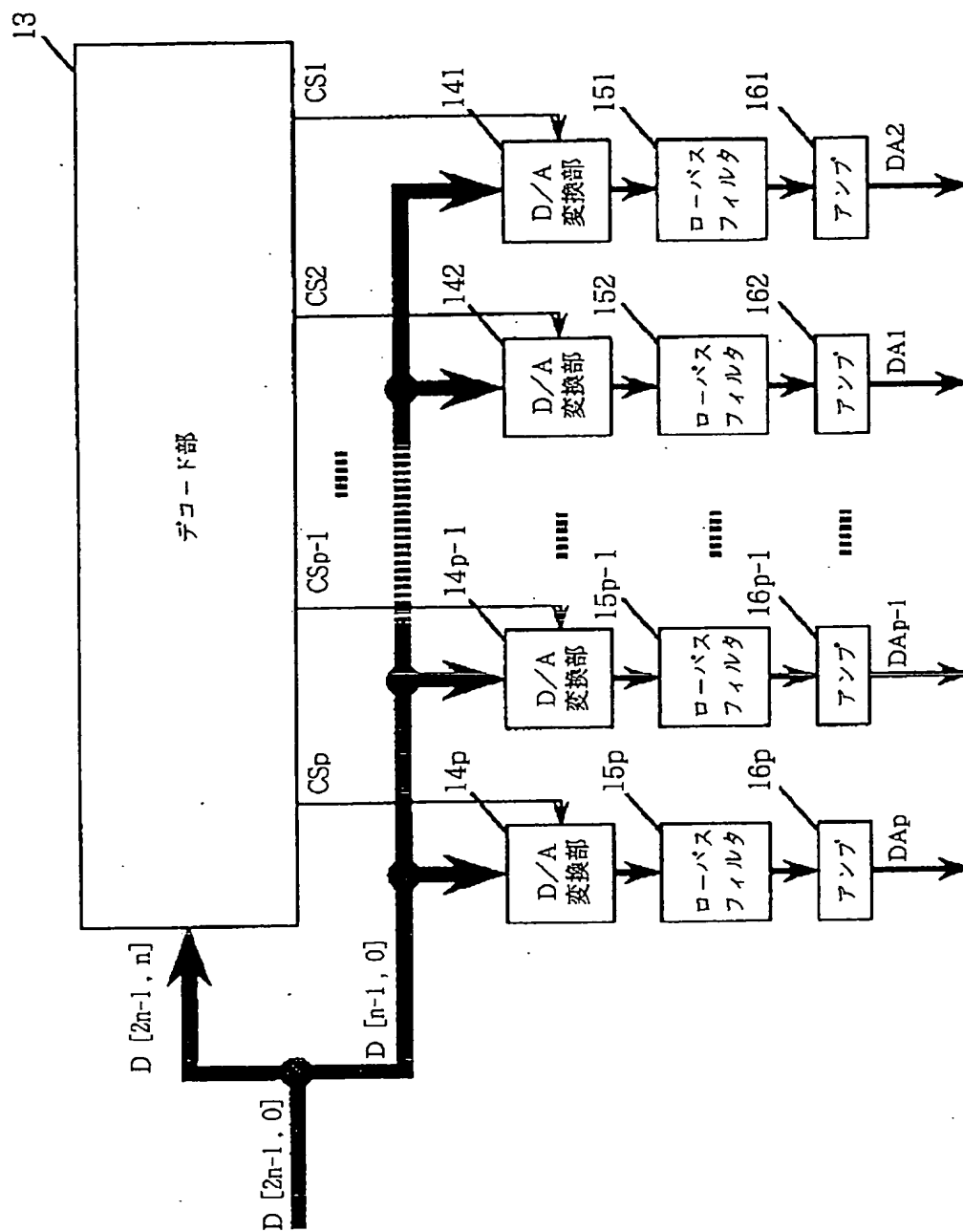
(9)

【図4】



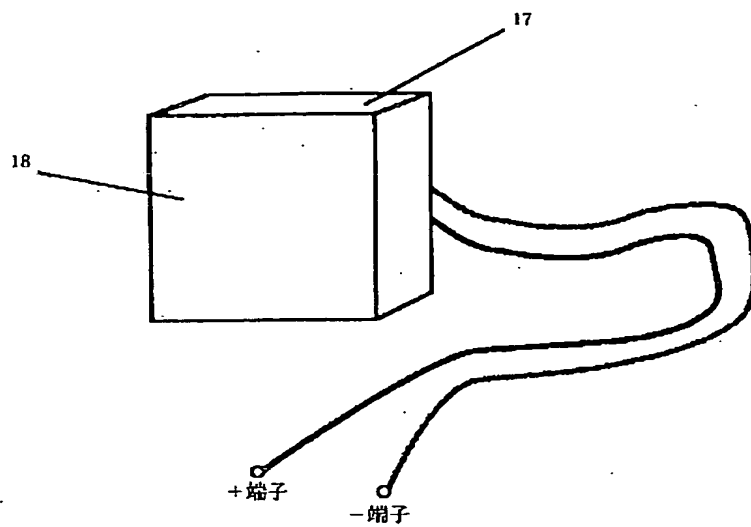
(10)

【図5】

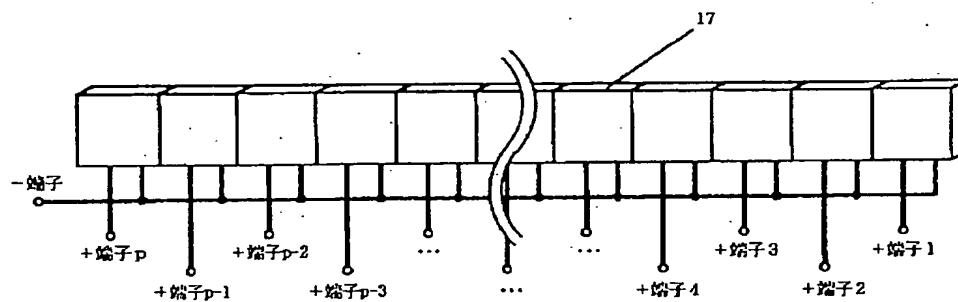


(11)

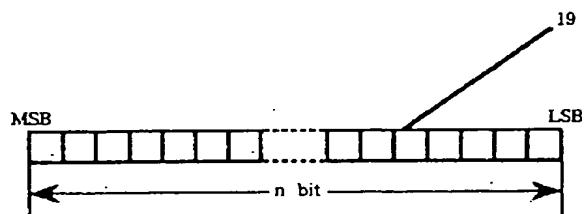
【図6】



【図7】

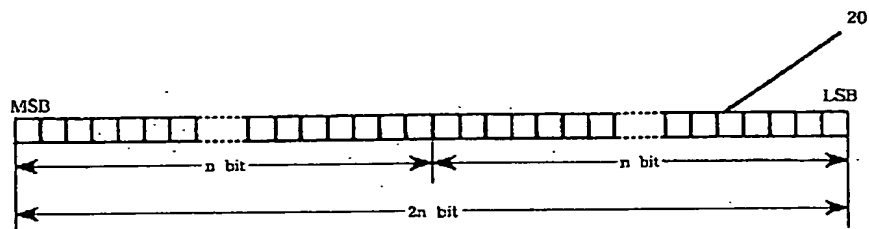


【図8】

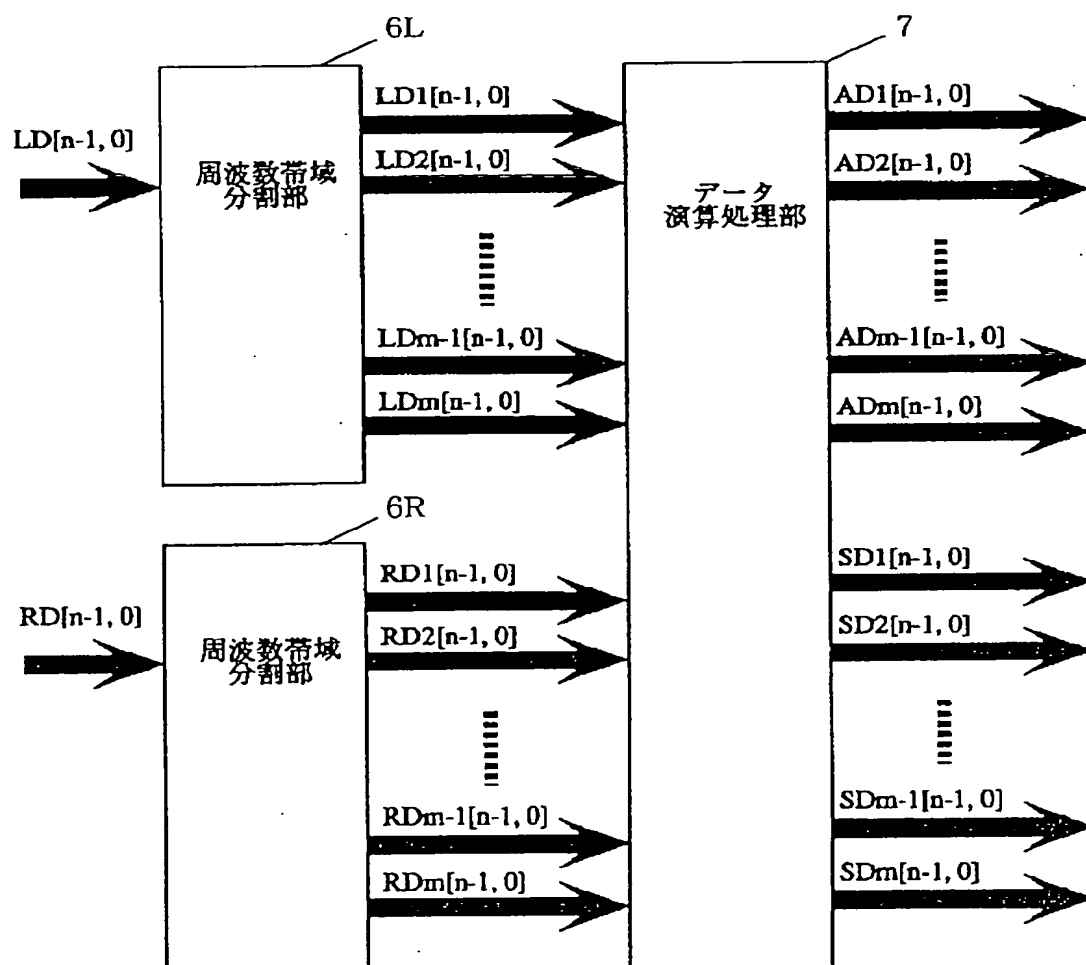


(12)

【図9】

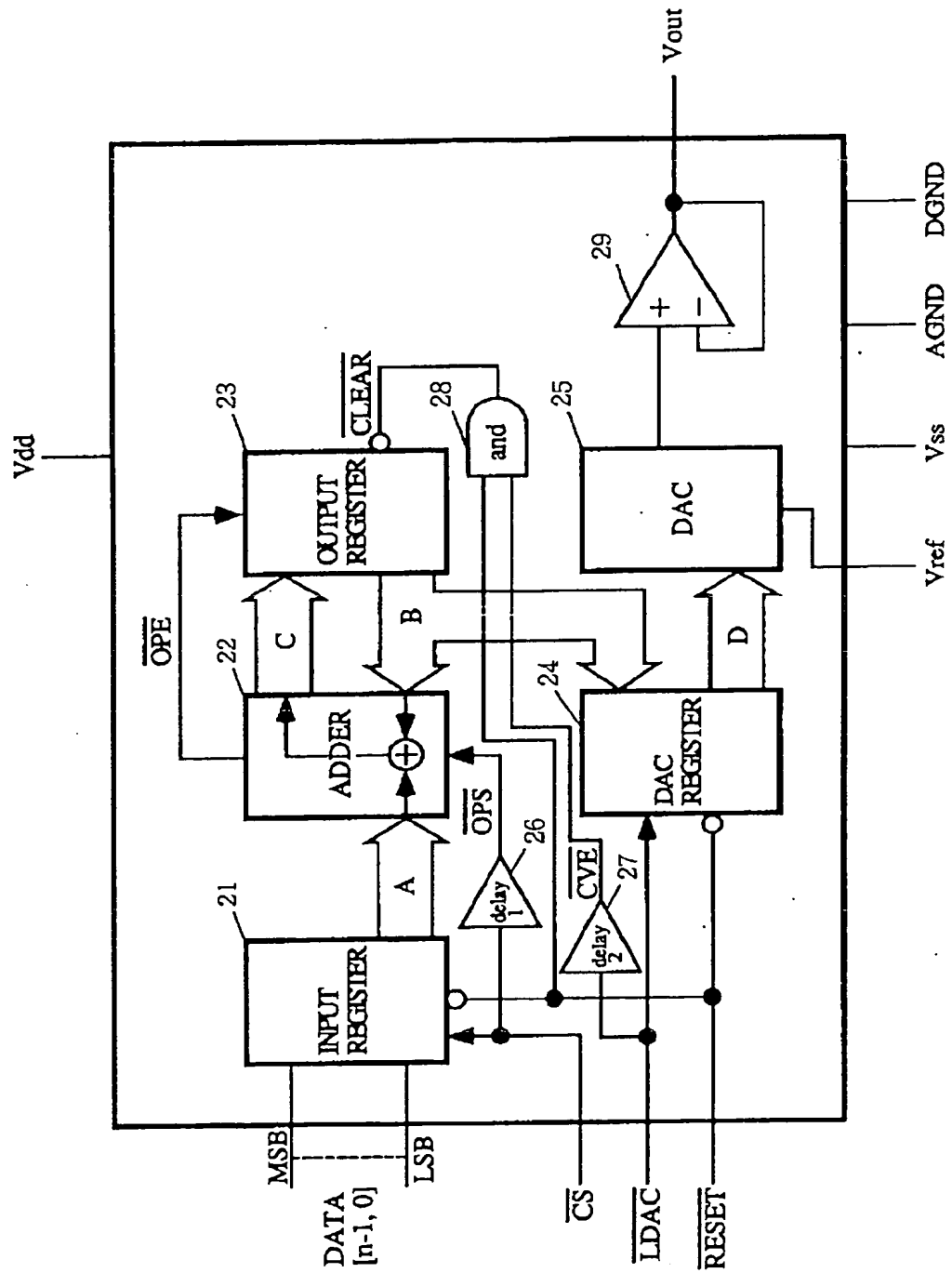


【図12】



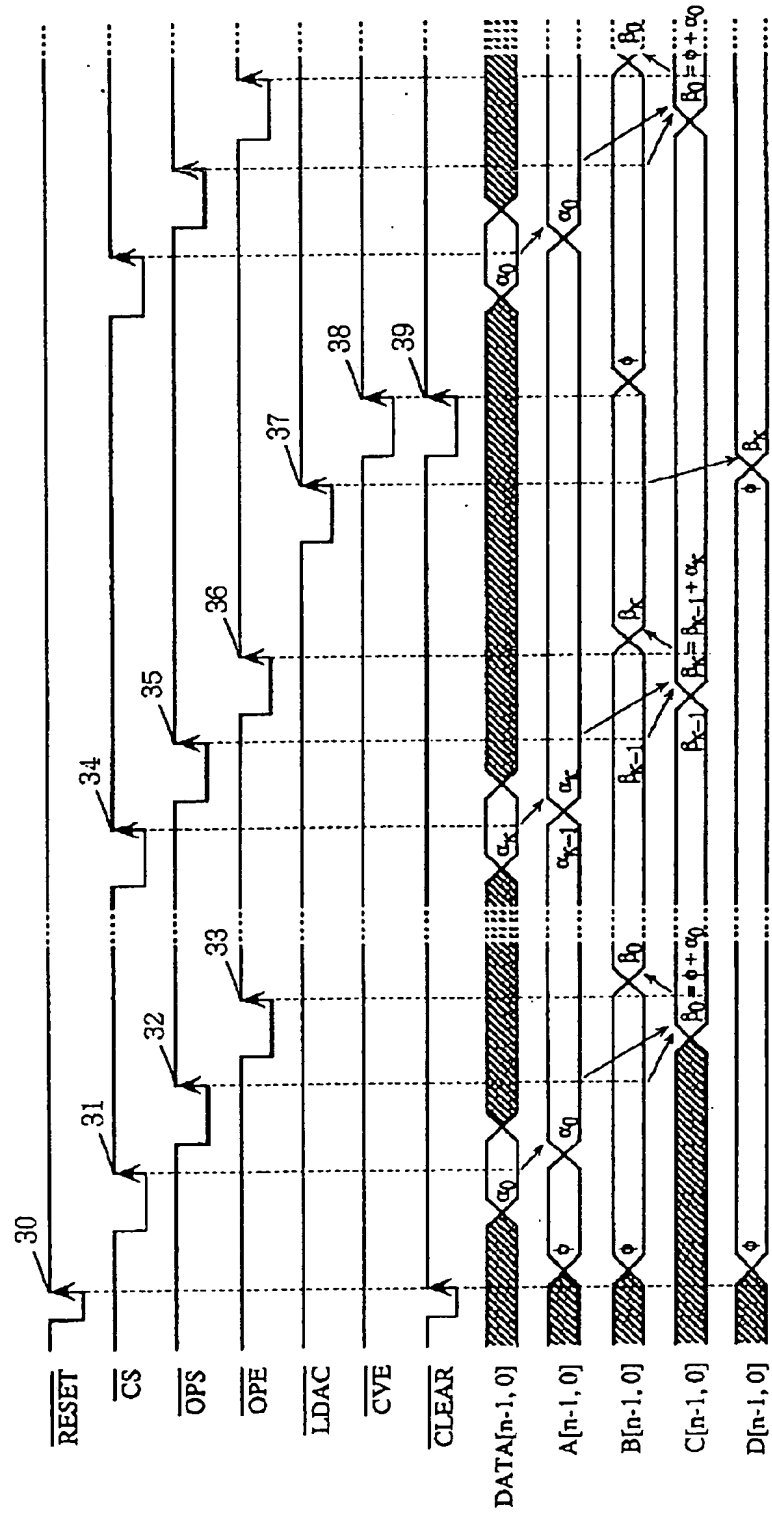
(13)

【図10】



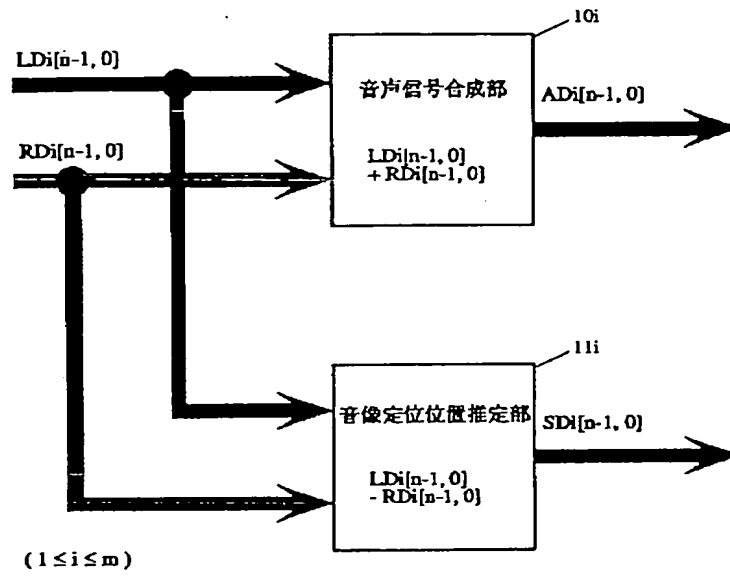
(14)

【図11】



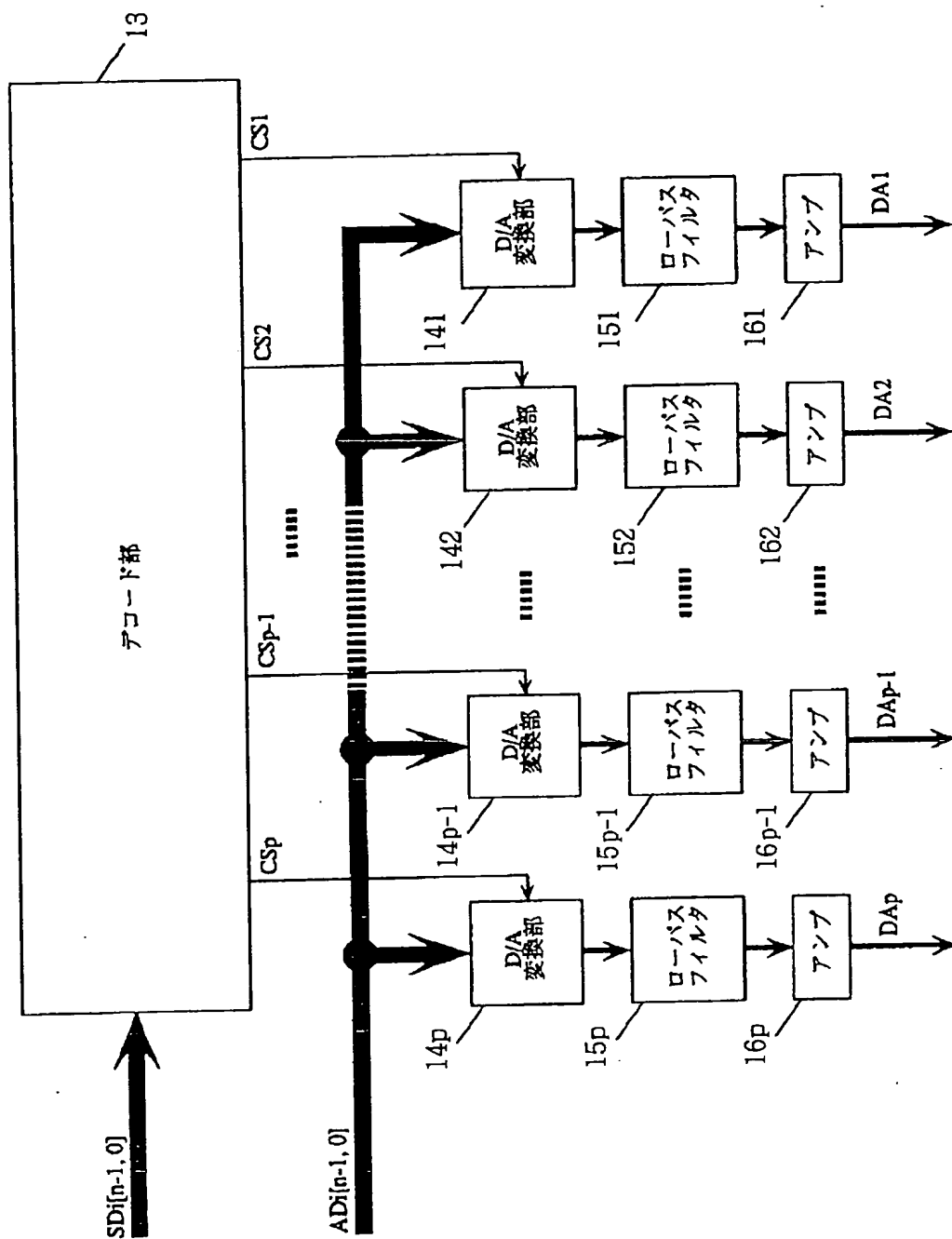
(15)

【図13】



(16)

【図14】



(17)

【図15】

